

2871

35.C13035

PATENT APPLICATION



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#4

In re Application of:)
YOSHIHIRO TERASHIMA ET AL.) Examiner: Not Yet Known
Appln. No.: 09/177,572) Group Art Unit: 2871
Filed: October 23, 1998)
For: MEMORY CONTROLLER AND)
LIQUID CRYSTAL DISPLAY)
APPARATUS USING THE)
SAME) January 25, 1999

The Assistant Commissioner for Patents
Washington, D.C. 20231

RECEIVED

JAN 27 1999

CLAIM TO PRIORITY

GROUP 2100

Sir:

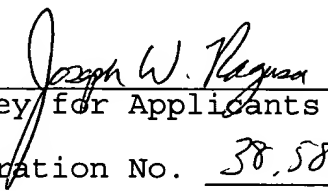
Applicants hereby claim priority under the
International Convention and all rights to which they are
entitled under 35 U.S.C. § 119 based upon the following
Japanese Priority Application:

9-292905 filed on October 24, 1997

A certified copy of the priority document is
enclosed.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our below listed address.

Respectfully submitted,



Attorney for Applicants
Registration No. 38,586

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

A:13035CP/jrl

4013035US
09/177,572/W

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

1997年10月24日

願 番 号
Application Number:

平成 9年特許願第292905号

願 人
Applicant(s):

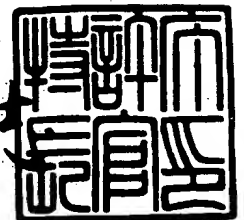
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1998年11月13日

特 許 庁 長 官
Commissioner,
Patent Office

伴佐山 建志



【書類名】 特許願

【整理番号】 3611048

【提出日】 平成 9年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13
G09F 9/00

【発明の名称】 メモリー制御装置と液晶表示装置

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 寺島 義博

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 坂下 幸彦

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリー制御装置と液晶表示装置

【特許請求の範囲】

【請求項1】 入力データをシリアル／パラレル変換する部と、この変換されたデータを一時貯えるFIFO部と、前記FIFO部に接続される1フレーム分のメモリー部と、前記メモリー部から読み出されたデータを一時保存する第2のFIFO部からなるメモリー制御装置。

【請求項2】 上記メモリー部を、クロックに同期し前記入力データに応じて連続的にアクセスできることを特徴とする請求項1に記載したメモリー制御装置。

【請求項3】 上記メモリー部のデータビット幅を、前記入力データのビット幅の n 倍とし、前記入力データに対して入力画素の $(n-2)$ 倍フレームまで上記メモリー部から読み出せ、また、前記メモリー部へのアクセス周波数を画像入力周波数以下にできることを特徴とする請求項1に記載のメモリー制御装置。

【請求項4】 上記メモリー部の書込み期間の1つの連続した長さを、前記メモリー部が必要とするコマンドに必要な長さを考慮した長さにするにより、上記FIFOのサイズを最小になるようにしたことを特徴とする請求項1に記載したメモリー制御装置。

【請求項5】 上記メモリー部のデータビット幅を、前記入力データのビット幅の n 倍とし、前記入力データに対して前記メモリー部のアクセス周波数を、画像入力周波数よりも遅くしたことを特徴とする請求項1に記載したメモリー制御装置。

【請求項6】 a ビット(a は正の整数)の入力データを $a \times n$ (n は正の整数)ビットのシリアル／パラレル変換するシリアル／パラレル変換部と、この変換された $a \times n$ ビットのデータを一時貯えるFIFO部と、前記FIFO部に接続される1フレーム分を格納するフレームメモリー部と、前記フレームメモリー部から読み出された $a \times n$ ビットのデータを一時保存する第2のFIFO部からなるメモリー制御装置。

【請求項7】 請求項6に記載のメモリー制御装置において、更に前記第2

のFIFO部の出力を受けて出力側の指示により出力画像信号に変換する画像出力制御部を有することを特徴とするメモリー制御装置。

【請求項8】 請求項1乃至7に記載のメモリー制御装置を用いたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力された画像信号を止めることなく、一旦メモリーに保存し、随時ここから読み出すようなメモリー制御装置及びこれを用いた液晶表示装置に関するものである。

【0002】

【従来の技術】

従来、パソコンなどから入力された画像を一旦メモリーに保存し、このメモリーから読み出すようなシステムを構成しようとした場合、たとえば図2のような構成になっていた。すなわち、1フレーム目の画像入力は入力端子5からマルチプレクサー9によって選択されたフレームメモリー部1に一旦格納する。2フレーム目の画像入力はマルチプレクサー9を切り替え、フレームメモリー部8に格納する。この時同時に、1フレーム目の画像はマルチプレクサー10により選択されたフレームメモリー部1から出力端子6へ読み出される。

【0003】

次に、マルチプレクサー9を切り替え、画像信号をフレームメモリー部1に格納し、同時にマルチプレクサー10を切り換えて、フレームメモリー部8から画像信号を出力し、出力端子6に出力する。こうして、1フレーム分ずつ2つのフレームメモリーにより、連続して出力することができる。

【0004】

また、液晶などのフリッカーを防止する目的で、同じ画像を2回表示したいような場合、画像入力レートの2倍の速さでフレームメモリーから2回とも同一画像信号の読み出しを行うと、これを実現できる。

【0005】

【発明が解決しようとする課題】

しかし、このような構成では、高価であるフレームメモリーが2つ必要となり、システムが高価になるという問題があった。また、上記2回読み出すような場合には、フレームメモリーは画像入力レートの2倍の読み出し速度を要求されるため、入力レートの速い解像度の高い画像入力は、扱うことが不可能になってしまうという問題があった。

【0006】

【課題を解決するための手段】

上記問題点を解決するための本発明のメモリー制御装置の構成は、入力データのシリアル／パラレル変換部と、この変換されたデータを一時貯えるFIFO部と、FIFO部につながる1フレーム分のメモリー部と、フレームメモリー部から読み出されたデータを一時保存するFIFO部からなるものである。

【0007】

本発明の構成による作用は、フレームメモリーへの書き込み及び読み出しを1フレーム分のメモリーのみで連続に行うことができ、また、より低速のフレームメモリーを使用できる、安価なシステムが構築できることである。

【0008】

【発明の実施の形態】

(第1の実施形態)

以下、本発明の第1の実施形態のメモリー制御装置について、図1を参照しながら説明する。

【0009】

図1において、メモリー制御装置は、 a ビットのシリアルデジタルビデオ信号を入力する入力端子5と、該シリアルデジタルビデオ信号を $a \times n$ ビットのパラレルビデオ信号に変換するS/P変換部2と、パラレルビデオ信号を一時所定容量格納するFIFO部3と、FIFO部3のビデオ信号を入力して出力するスイッチ付きバッファ12と、入出力データ端子7を有し該 $a \times n$ ビットのビデオ信号を少なくとも1フレーム分の記憶容量を格納するフレームメモリー部1と、該フレームメモリー部1の出力を受けるバッファ13と、バッファ13のビデオ信号を

一時格納するFIFO部4と、FIFO部4の該 $a \times n$ ビットのビデオ信号を入力して時系列的な一連のビデオ信号に変換する出力制御部11とから構成されている。

【0010】

かかる構成のメモリー制御装置において、フレームメモリー部1は、クロックに同期して連続でアクセスできることを特徴としたメモリーで、たとえばSDRAMである。フレームメモリー部1の入出力データ端子7のビット幅は、画像入力端子5のビット幅の n 倍、即ち、例えば入力端子5がR、G、Bの3シリアル信号の場合には、例えば各8ビットで示す場合には入出力データ端子7は少なくとも $N=3$ として、24のビット幅を有する。本実施形態では入力端子5を8ビット、入出力データ端子7を4倍の32ビットとする。

【0011】

入出力端子5より入力されたデータは、フレームメモリー部1の入出力データ端子7のビット幅に合わせるために、シリアル/パラレル変換部2により8ビットから32ビットに変換される。

【0012】

変換されたデータはFIFO部3に一時格納される。FIFO部3の大きさは任意に決めることができる。FIFO部3がFullとなると、FIFO部3から画像入力レートと同じ速度でデータが読み出される。読み出されたデータはフレームメモリー部1にリアルタイムで書き込まれる。

【0013】

FIFO部3からの読み出しは、画像入力レートで画像入力端子のビット幅の4倍の幅で行われるため、読み出しにかかる時間は書込みにかかる時間の4分の1で済む。すなわちFIFO部3が、次にFullになるまでには読み出しにかかった時間の4倍の時間がかかる。

【0014】

すなわち、フレームメモリー部1の入出力端子7はフレームメモリー部1の書込みにかかる時間の3倍分、何もしない期間があることになる。この期間を利用してフレームメモリー部1の読み出しを行う。読み出しはフレームメモリー部1

の書込みにかかった期間の1倍、または2倍の期間行うことができる。この方法であると、書込み、読み出しに必要な期間のほかに、さらに書込み期間の1倍分の期間、フレームメモリー部1が何も行わない期間がある。フレームメモリー部1が、例えばSDRAMであるような場合、この期間を、メモリーを連続にアクセスする時に、バンクの切り替え等に必要となるメモリーのプリチャージやアクティブコマンドを行う期間に当てることができる。また、これらコマンドに必要な期間より、バッファ部3の大きさを決定することができる。

【0015】

ここで、SDRAM (Synchronous Dynamic random access Memory) は、システムクロックに同期して、命令を取り込んだり、データの入出力を行う同期式のRAMであり、従来のDRAMはシステムクロックに対して非同期に動作するため、タイミング設計が煩雑という欠点があったが、クロックに同期して連続してデータを出力するバースト動作や、内部を複数のバンクに分離することにより、高速に効率的な動作を可能とする。また、SDRAMに8カラム分のデータを1サイクルで書き換え可能なブロック・ライト機能と画像データをビット単位で書き込み可能なライト・パー・ビット機能を付加してグラフィックス処理のパフォーマンスを高めたSGRAM (Synchronous Graphic RAM) もあるので、これを利用してよい。

【0016】

またここで、SDRAMのアクセス方法を図3に示す。図のように、書込みのアドレスと読み出しのアドレスが同一バンク、異なるロウである場合、書込みと読み出しを切り替えるためにはそれぞれプリチャージ及びロウアクティブ期間が必要となる。また、SDRAMを最も速いスピードで使う場合、CAS Latencyは3で使用する。

【0017】

この場合、図3のように、書込みから読み出しに切り替わる時には、プリチャージからアクティブコマンドまでに3クロックサイクル、アクティブコマンドからリードコマンドまでに3クロックサイクル、読み出しディレイに3クロックサイクル、合計9クロックサイクルのブランク期間が必要となる。また、読み出し

から書き込みに切り替わる時には、プリチャージからアクティブコマンドまでに3クロックサイクル、アクティブコマンドからライトコマンドまでに3クロックサイクル、合計6クロックサイクルのブランク期間が必要となる。これら両方の切り替えに必要な期間は $9 + 6 = 15$ クロックサイクル期間以上である。この期間とフレームメモリー部1への書込みの期間を同じにすると、FIFO部3のサイズが最小となる。バースト長を8にした場合、バースト長の最小倍数と上記コマンドに必要な期間とを考え合わせると、フレームメモリー部1への書込み期間は16クロックサイクルとなる。

【0018】

これよりFIFO部3のサイズは $32\text{ bits} \times 16$ 以上となる。またフレームメモリー部1からの読み出し期間は書込み期間の2倍までであるので32クロック期間までとなる。したがってFIFO部4のサイズは $32\text{ bit} \times 32$ 以上となる。以上のように、SDRAMの読み出しと、書込みは64クロックサイクルで繰り返す。

【0019】

フレームメモリー部1の読み出し側については、読み出されたデータを一旦FIFO部4に格納する。その後、出力コントロール部11により出力側の要求するビット幅、速度に変換して画像出力端子6から出力するものとする。

【0020】

上記バースト長は他の長さにおいても同様の効果が得られる。

【0021】

また、上記フレームメモリー部1は複数のメモリーで構成した場合においても同様の効果が得られる。

【0022】

(第2の実施形態)

以下、本発明の第2の実施形態のメモリー制御装置について、図1を参照しながら説明する。

【0023】

図1において、フレームメモリー部1は、クロックに同期し、ビデオ信号の入

力に応じて連続的にアクセスできることを特徴としたメモリー、たとえばSDRAMである。フレームメモリー部1の入出力データ端子7のビット幅は、画像入力端子5のビット幅の $2n$ 倍である。本実施形態では、画像入力端子5を8ビット、入出力端子7を $n=4$ である8倍の64ビットとする。

【0024】

画像入力端子5より入力されたデータは、フレームメモリー部1の入出力データ端子7のビット幅に合わせるために、シリアル/パラレル変換部2により8ビットから64ビットに変換される。

【0025】

変換されたデータはFIFO部3に一時格納される。FIFO部3の大きさは任意に決めることができる。FIFO部3がFullとなると、FIFO部3から画像入力レートの半分の速度でデータを読み出す。読み出されたデータはフレームメモリー部1にリアルタイムで書き込まれる。これ以降、フレームメモリー部1のアクセス速度については、すべて画像入力レートの半分の速度とする。

【0026】

FIFO部3からの読み出しは、画像入力レートの半分で画像入力端子のビット幅の8倍の幅で行われるため、読み出しにかかる時間は書込みにかかる時間の4分の1となる。すなわちFIFO部3が、次にFullとなるまでには読み出しにかかった時間の4倍の時間がかかる。

【0027】

すなわちフレームメモリー部1の入出力端子7はフレームメモリー部の書込みにかかる時間の3倍分、何もしない期間があることになる。この期間を利用してフレームメモリー部1の読み出しを行う。読み出しはフレームメモリー部1の書込みにかかった期間の1倍、または2倍の期間行うことができる。この方法であると、書込み、読み出しに必要な期間のほかに、さらに書込みの1倍分の期間、フレームメモリー部1が何も行わない期間がある。フレームメモリー部1がたとえば第1の実施形態で説明したSDRAMであるような場合、この期間をメモリー1を連続でアクセスする時、バンクの切り替え等が必要となるメモリーのプリチャージやアクティブコマンドを行う期間に当てることができる。また、これら

コマンドに必要な期間より、バッファ部3の大きさを決定することができる。なお、SDRAMのアクセス方法については、第1の実施形態と同様である。

【0028】

フレームメモリー部1の読み出し側については、読み出されたデータを一旦FIFO部4に格納する。その後、出力制御部11により出力側の要求するビット幅、速度に変換して画像出力端子6から出力するものとする。

【0029】

上記バースト長は他の長さにおいても上記フレームメモリー1のコマンドの要する期間と、フレームメモリー1の書き込み期間を同じにすることにより同様の効果が得られる。

【0030】

また、上記フレームメモリー1は複数のメモリー構成にした場合においても同様の効果が得られる。

【0031】

(第3の実施形態)

次に、上記メモリー制御装置を用いた投写型液晶表示装置の駆動回路系についてその全体ブロック図を図4に示す。ここで、1310はパネルドライバーであり、RGB映像信号を極性反転し、かつ所定の電圧増幅をした液晶駆動信号を形成するとともに、対向電極の駆動信号、各種タイミング信号等を形成している。さらに、事前に上記各実施形態で説明したDCレベルの調整を行うことは勿論である。1312はインターフェースであり、各種映像及び制御伝送信号を標準映像信号等にデコードしている。また、1311はデコーダーであり、インターフェース1312からの標準映像信号をR、G、B原色映像信号及び同期信号に、即ち液晶パネル1302に対応した画像信号にデコード・変換している。このデコーダー1311に上述の第1、第2の実施形態で説明したメモリー制御装置を用いることで、画像入力を止めることなく、連続してメモリーに書き込み、および読み出しができ、画像信号処理の自由度を増加し、液晶パネル上の画像表示を高精細、高密度な画像とし、映像表現の多彩化が可能となる。

【0032】

また、1314はバラストである点灯回路であり、楕円リフレクター1307内のアークランプ1308を駆動点灯する。1315は電源回路であり、各回路ブロックに対して電源を供給している。また、1313は不図示の操作部を内在したコントローラーであり、上記各回路ブロックを総合的にコントロールするものであり、特に極性反転の指示や調整時にどのフィールド毎に切り換えるか、何色で設定するのか等の制御をパネルドライバー1310に指示する。このように本投写型液晶表示装置は、その駆動回路系は単板式プロジェクターとして、メタルハライドランプ等のアークランプ1308から液晶パネル1302に白色光を照射し、反射型の液晶パネル1302の画像信号を反射光として不図示のレンズ系を介して、スクリーンに投射することにより、大画面の拡大映像を見ることができる。

【0033】

かかる構成により、デコーダー1311に上述のメモリー制御装置の動作により、液晶パネルの駆動を2水平走査を同時に走査すると共に、画像信号を2ライン分同時に液晶パネルに供給することにより、高密度、多画素のパネルを高細密に動作させ、輪郭の明確な高画質画像を表示することができる。

【0034】

【発明の効果】

以上のように本発明によれば、フレームメモリーを1フレーム分以上と最小のFIFOのみで、画像入力を止めることなく、連続してメモリーに書き込み、および読み出しのできる安価なメモリー制御装置が構築できる。

【0035】

また、メモリーのアクセススピードは、画像入力レートより速くなることがなく、1フレーム書き込む期間に2フレーム分まで読み出すことができる。

【0036】

さらに第2の実施形態に示したように、フレームメモリーのアクセススピードを画像入力レートの半分以下にすることができ、より安価な低速のメモリーを使用することができるため、安価なメモリー制御装置を構築できる。

【図面の簡単な説明】

【図1】

本発明のメモリー制御装置の一実施形態の構成図である。

【図2】

従来のメモリー制御装置の構成図である。

【図3】

図1のフレームメモリー部のタイミング図である。

【図4】

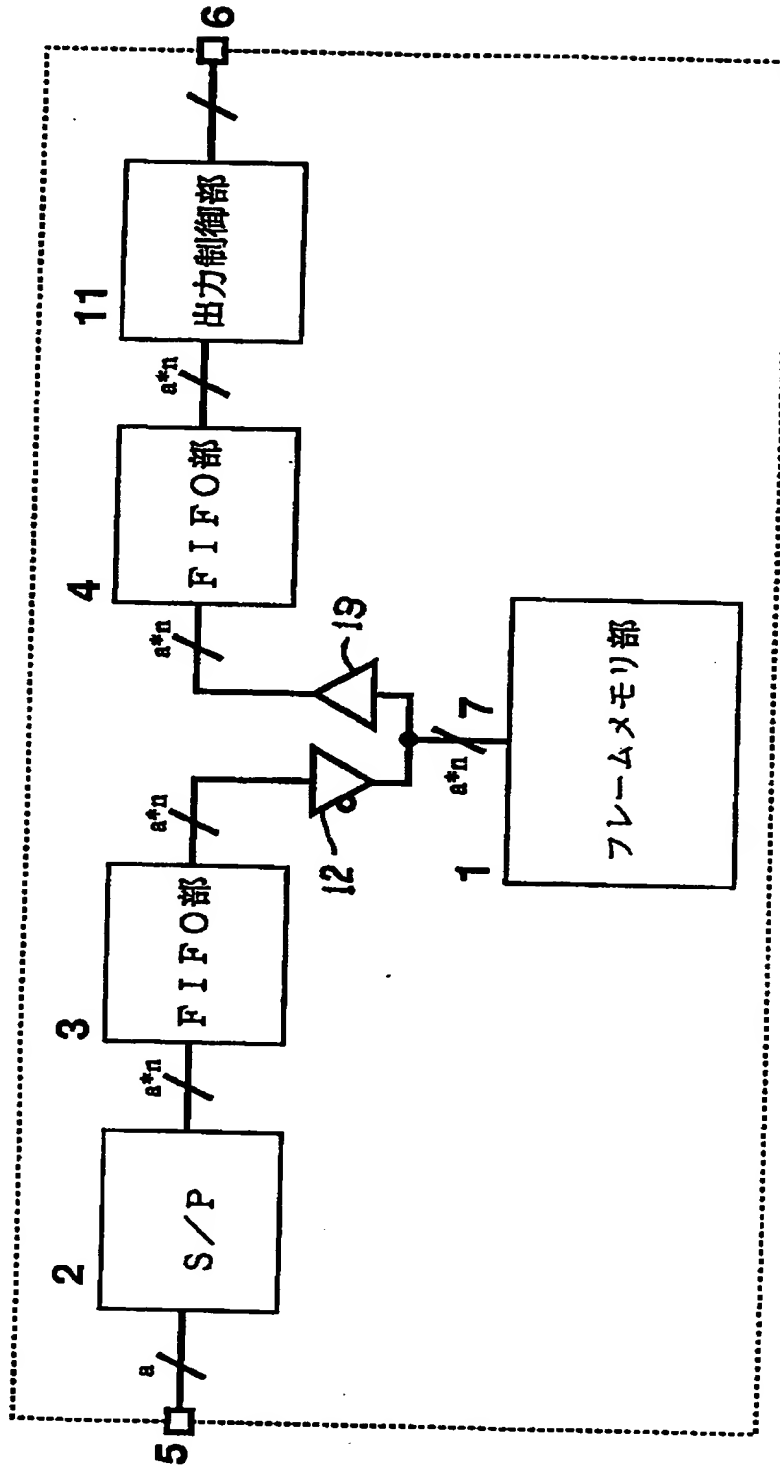
本発明のメモリー制御装置を用いる投写型液晶表示装置の駆動系のブロック図である。

【符号の説明】

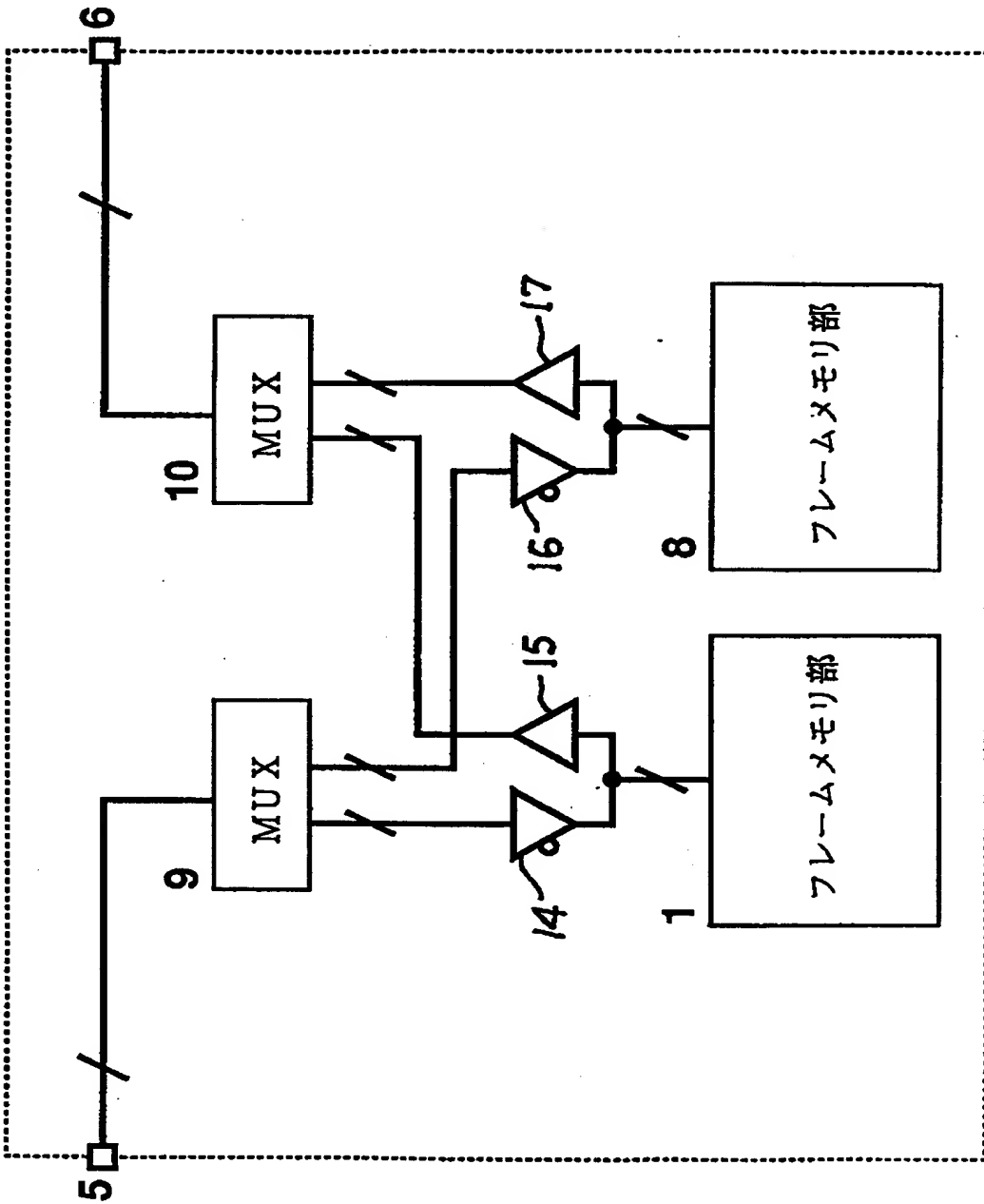
- 1 フレームメモリー部
- 2 シリアル／パラレル変換部
- 3 F I F O部
- 4 F I F O部
- 5 画像入力部
- 6 画像出力部
- 7 フレームメモリーの入出力データ端子
- 8 フレームメモリー部
- 9 マルチプレクサー
- 10 マルチプレクサー
- 11 出力制御部
- 1302 液晶パネル
- 1310 パネルドライバー
- 1311 デコーダー

【書類名】 図面

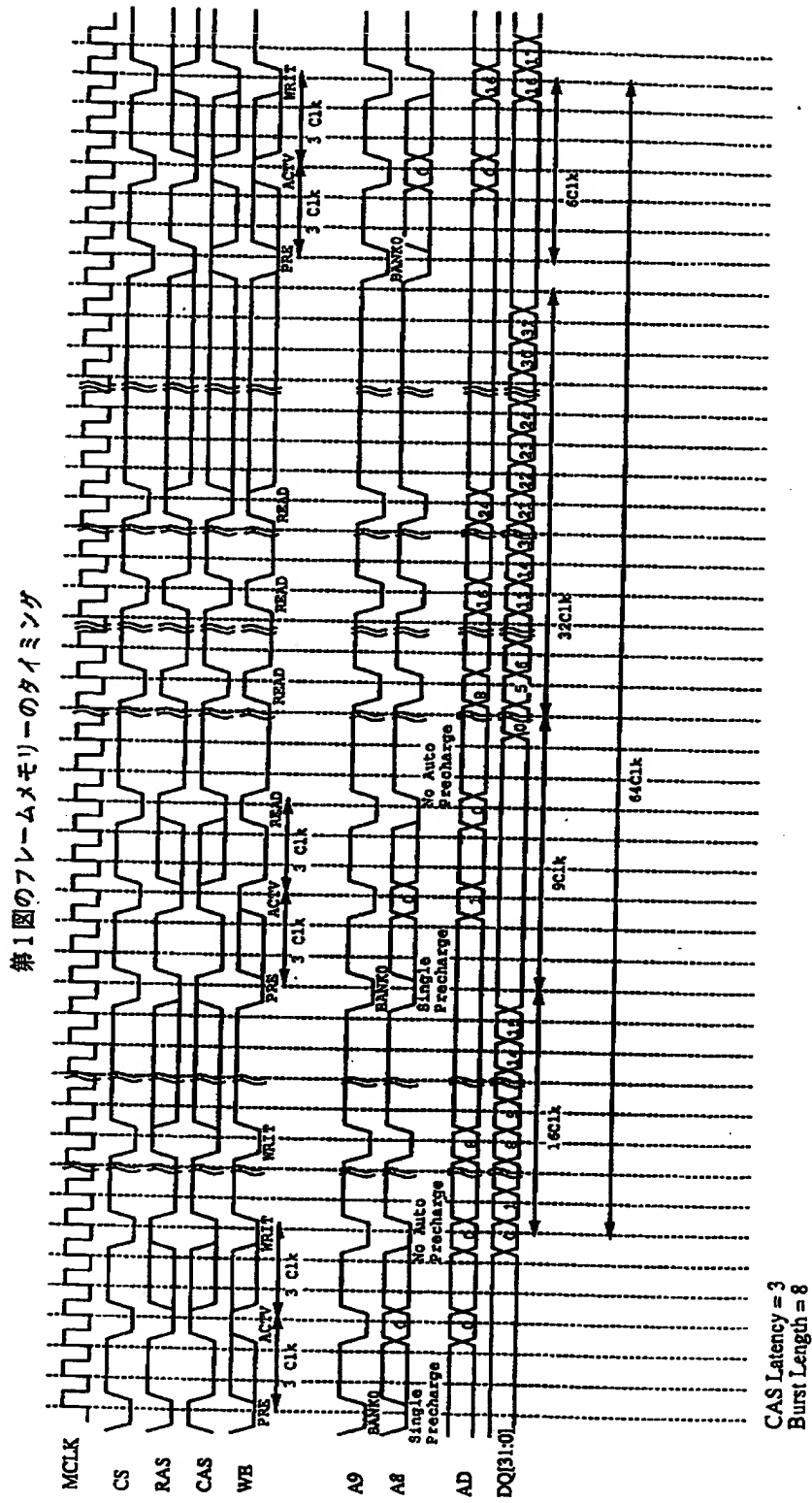
【図1】



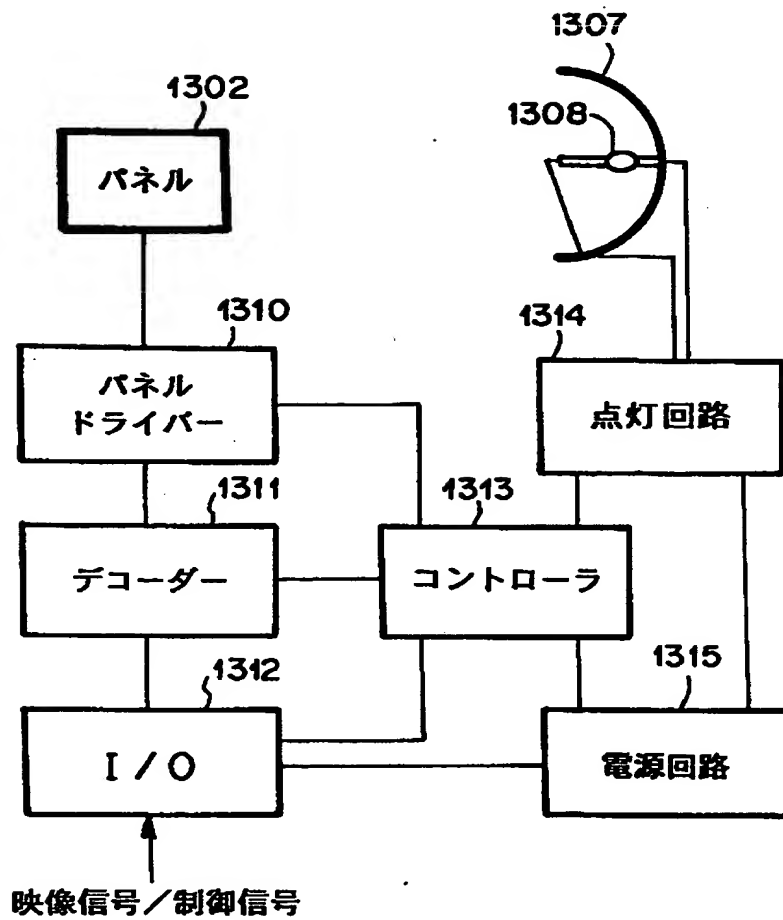
【図2】



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 高価であるフレームメモリーを1つで、画像入力を止めることなく、連続してメモリーに書き込み、及び読み出しのシステムを提供することを課題とする。

【解決手段】 メモリー制御装置は入力データをシリアル／パラレル変換する部と、この変換されたデータを一時貯えるFIFO部と、前記FIFO部に接続される1フレーム分のメモリー部と、前記メモリー部から読み出されたデータを一時保存する第2のFIFO部からなる。また、上記メモリー部のデータビット幅を、前記入力データのビット幅の n 倍とし、このことにより入力画素の $(n-2)$ 倍フレームまで上記メモリー部から読み出せ、また、前記メモリー部へのアクセス周波数を画像入力周波数以下にできることを特徴とする。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100065385

【住所又は居所】 東京都港区浜松町1丁目18番14号 SVAX浜
松町ビル

【氏名又は名称】 山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社